

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Gang WANG et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **September 22, 2003**

For: **SEMICONDUCTOR LIGHT-RECEIVING DEVICE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: September 22, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-274304, filed September 20, 2002

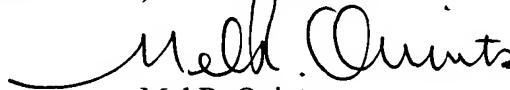
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



Mel R. Quintos
Attorney for Applicants
Reg. No. 31,898

MRQ/jaz
Atty. Docket No. **031185**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application: September 20, 2002

Application Number: Japanese Patent Application
No. 2002-274304
[JP2002-274304]

Applicant(s): FUJITSU QUANTUM DEVICES LIMITED

June 13, 2003

Commissioner,
Japan Patent Office

Shinichiro Ohta (Seal)

Certificate No. 2003-3045308

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月20日

出 願 番 号

Application Number:

特願2002-274304

[ST.10/C]:

[JP2002-274304]

出 願 人

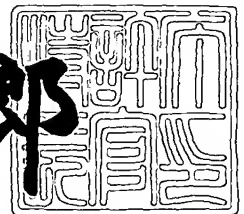
Applicant(s):

富士通カンタムデバイス株式会社

2003年 6月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3045308

【書類名】 特許願

【整理番号】 0200064

【提出日】 平成14年 9月20日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 31/10

【発明の名称】 半導体受光装置

【請求項の数】 21

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原 1 0 0 0 番地 富士
通カンタムデバイス株式会社内

【氏名】 王 鋼

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原 1 0 0 0 番地 富士
通カンタムデバイス株式会社内

【氏名】 米田 昌博

【特許出願人】

【識別番号】 000154325

【氏名又は名称】 富士通カンタムデバイス株式会社

【代理人】

【識別番号】 100087480

【弁理士】

【氏名又は名称】 片山 修平

【電話番号】 043-351-2361

【手数料の表示】

【予納台帳番号】 153948

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0203504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体受光装置

【特許請求の範囲】

【請求項 1】 第 1 主面と該第 1 主面と対向する第 2 主面とを備えた基板と

、
前記基板の第 1 主面側に形成され、少なくとも 1 つの第 1 導電型の半導体層を含む第 1 の半導体層と、

前記第 1 の半導体層上に形成され入射した光に応じてキャリアを生成する光吸収層と、

前記光吸収層上に形成され、少なくとも 1 つの第 2 導電型の半導体層を含む第 2 の半導体層と、

前記第 1 の半導体層に電氣的に接続され第 1 の電位を印加する第 1 の電極部と

、
前記第 2 の半導体層に電氣的に接続され第 2 の電位を印加する第 2 の電極部と

、
前記基板の第 1 主面と前記第 1 の半導体層との間に介在する第 2 導電型の第 3 の半導体層とを有する半導体受光装置。

【請求項 2】 前記第 1 の半導体層と前記第 3 の半導体層との p n 接合により形成されたコンデンサを含む請求項 1 に記載の半導体受光装置。

【請求項 3】 前記コンデンサは、前記第 1 の半導体層と前記第 3 の半導体層との p n 接合により形成される空乏層領域を含む請求項 2 に記載の半導体受光装置。

【請求項 4】 前記半導体受光装置は、さらに第 1 導電型の第 4 の半導体層を含み、前記第 3 の半導体層は前記第 1 の半導体層と前記第 4 の半導体層との間に介在する請求項 1 または 2 に記載の半導体受光装置。

【請求項 5】 第 1 主面と該第 1 主面と対向する第 2 主面とを備えた半導体基板と、

前記半導体基板の第 1 主面側に形成され、少なくとも 1 つの第 1 導電型の第 1 の半導体層と、

前記第 1 の半導体層上に形成され入射する光に応じてキャリアを生成する光吸収層と、

前記光吸収層上に形成され、少なくとも 1 つの第 2 導電型の半導体層を含む第 2 の半導体層と、

前記第 1 の半導体層に電氣的に接続され第 1 の電位を印加する第 1 の電極部と

前記第 2 の半導体層に電氣的に接続され第 2 の電位を印加する第 2 の電極部と

前記半導体基板の第 1 主面と前記第 1 の半導体層との間に介在する誘電材料により形成される容量素子とを有する半導体受光装置。

【請求項 6】 前記誘電材料により形成される容量素子は、第 1 導電型の 1 対の半導体層の間に介在する高抵抗半導体層を含む請求項 5 に記載の半導体受光装置。

【請求項 7】 前記半導体基板の第 2 主面側に前記第 2 の電位と同電位が供給される請求項 5 に記載の半導体受光装置。

【請求項 8】 前記コンデンサまたは前記容量素子は、前記吸収層によってキャリアが生成されたときに、前記第 1 の半導体層と前記第 2 の半導体層の間を流れる電流をバイパスするバイパスコンデンサとして機能する請求項 1、2 または 5 に記載の半導体受光装置。

【請求項 9】 第 1 主面と該第 1 主面と対向する第 2 主面とを備えた基板と

前記基板の第 1 主面側に形成され、少なくとも 1 つの第 1 導電型の半導体層を含む第 1 の半導体層と、

前記第 1 の半導体層上に形成され入射した光に応じてキャリアを生成する光吸収層と、

前記光吸収層上に形成され、少なくとも 1 つの第 2 導電型の半導体層を含む第 2 の半導体層と、

前記第 1 の半導体層に第 1 の電位を印加する第 1 の電極部と、

前記第 2 の半導体層に第 2 の電位を印加する第 2 の電極部と、

前記基板の第 2 主面側に形成され基準電位が供給される金属層と、
前記金属層と前記基板の第 2 主面間に介在する誘電体層とを含む、半導体受光装置。

【請求項 1 0】 前記半導体受光装置は、前記基板を実装するモジュールを含み、前記金属層は前記モジュールに電氣的に接続されて前記基準電位を供給される請求項 9 に記載の半導体受光装置。

【請求項 1 1】 前記第 1 の半導体層は、前記第 1 の電極部に接続される高不純物濃度のコンタクト層を含む請求項 1、5 または 9 のいずれか一項記載の半導体受光装置。

【請求項 1 2】 前記第 2 の半導体層は、前記第 2 の電極部に接続される高不純物濃度のコンタクト層を含む請求項 1、5 または 9 のいずれか一項記載の半導体受光装置。

【請求項 1 3】 前記第 1 の半導体層は、低不純物濃度のバッファ層を含む請求項 1、5 または 9 のいずれか一項記載の半導体受光装置。

【請求項 1 4】 前記第 2 の半導体層は、禁止帯幅が徐々に傾斜するように複数の半導体層が積層されたグレーデッド層を含む請求項 1、5 または 9 のいずれか一項記載の半導体受光装置。

【請求項 1 5】 少なくとも前記光吸収層及び前記第 2 の半導体層がメサ構造を有し、前記メサ構造によって露出した前記光吸収層の側面から光が入射する請求項 1、5 または 9 のいずれか一項記載の半導体受光装置。

【請求項 1 6】 前記メサ構造の側部に配置され、前記光吸収層に光を入射させるための光導波路を有する請求項 1 5 に記載の半導体受光装置。

【請求項 1 7】 前記メサ構造の底部において前記第 1 の半導体層の表面が露出し、該露出した表面に前記第 1 の電極が形成され、前記メサ構造の第 2 の半導体層上に第 2 の電極が形成される請求項 1 5 に記載の半導体受光装置。

【請求項 1 8】 前記半導体受光装置は、アバランシェダイオードを含む請求項 1 ないし 1 7 のいずれか一項記載の半導体受光装置。

【請求項 1 9】 前記第 1 の半導体層は n 型の I n P 層を含み、前記第 2 の半導体層は p 型の I n P 層を含む請求項 1 ないし 1 8 のいずれか一項記載の半導

体受光装置。

【請求項 2 0】 前記光吸収層は、I n G a A s 層である請求項 1、5 または 9 のいずれか一項記載の半導体受光装置。

【請求項 2 1】 前記第 3 の半導体層は、p 型の I n P 層であり、不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下である請求項 1 に記載の半導体受光装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体受光装置に関し、特に高速動作が可能で大容量光ファイバの通信システムに使用可能な P I N 型フォトダイオードに関する。

【0 0 0 2】

【従来の技術】

近年、光通信システムの大容量化に伴い、数 1 0 G b p s（例えば 4 0 G b p s）又はこれを超える速度の伝送システムが開発されている。このような大容量伝送システムで使用される半導体受光素子は、4 0 G H z 以上の高速動作をすることが必要とされているため、従来のものよりも高性能かつ高信頼性を有していなければならない。

【0 0 0 3】

図 7 は、特許文献 1 に開示されたテーパ光導波路構造を集積した P I N 型フォトダイオードの構成例を示す斜視図であり、図中の A 部は、フォトダイオードの受光部の拡大断面図である。同図に示すように、フォトダイオード 1 0 0 は、半絶縁性の I n P 基板 1 0 1 上にテーパ光導波路構造 1 0 2 を受光素子 1 0 3 の側部に結合させている。テーパ光導波路構造 1 0 2 は、光ファイバからの光をスポットサイズに変換し、これを受光素子 1 0 3 の光吸収層 1 0 4 の側面から入射させている。

【0 0 0 4】

p 側の電極パッド 1 0 5 は、基板 1 0 1 上に絶縁膜を介して所定形状に形成され、他方、n 側の電極パッド 1 0 6 も p 側電極パッド 1 0 5 と同一平面に形成されている。このため、フォトダイオード 1 0 0 は、コプレーナストリップライン

構造の基板と直接接続することが可能となっている。受光素子 1 0 3 の頂部には P 電極 1 0 7 が形成され、P 電極 1 0 7 はエアーブリッジ 1 0 7 a によって p 側電極パッド 1 0 5 と接続される。

【 0 0 0 5 】

n 電極 1 0 8 は、受光素子 1 0 3 をメサ構造にエッチング形成することにより露出した n 型の半導体層 1 0 9 の表面に形成される。n 電極 1 0 8 は、半導体層 1 0 9 上を延在する n 側電極パッド 1 0 6 と接続される。n 側電極パッド 1 0 6 は比較的大きな面積を有している。これは、後述するバイパスコンデンサとの接続領域を確保し、高周波動作時に n 電極 1 0 8 を確実に接地電位にするためである。

【 0 0 0 6 】

数 1 0 G H z（例えば、4 0 G H z 前後）以上の高速動作の実現にあたり従来のチップよりも P I N 接合面積を極めて小さい（例えば容量では数 1 0 f F 以下）フォトダイオードでは、僅かなノイズパルスが印加されただけでも電極間に大きな電圧が印加され、素子が劣化されてしまうおそれがある。そのため、通常の光受信モジュールでは、図 8 に示すように、フォトダイオードチップ 1 1 0 と受信信号を増幅する増幅回路（プリアンプ） 1 1 1 とを実装するときに、フォトダイオード 1 0 0 の n 側電極パッド 1 0 6 の近傍には大きなバイパスコンデンサ 1 1 2 を設ける必要があった。

【 0 0 0 7 】

光受信モジュール内において、フォトダイオード 1 0 0 のチップ 1 1 0 がサブキャリア上に A u S n（銀ペースト）によりロウ付けされ、これによってチップ 1 1 0 の裏面の金属層が接地電位に接続される。フォトダイオードの n 側電極パッド 1 0 6 は、バイパスコンデンサ 1 1 2 の上部電極 1 1 2 a に配線 1 1 3 により電氣的に接続され、さらに上部電極 1 1 2 a が配線 1 1 4 により直流バイアス電源 1 1 5 の正電位側に接続される。また、バイパスコンデンサ 1 1 2 の下部電極は接地電位に接続されている。フォトダイオードの p 側電極パッド 1 0 5 は、プリアンプ 1 1 1 の入力端子 1 1 1 a を介して接地電位に接続される。

【 0 0 0 8 】

【特許文献 1】

特開 2 0 0 1 - 1 2 7 3 3 3 号公報

【0 0 0 9】

【発明が解決しようとする課題】

しかしながら、上記従来の半導体受光装置には次のような課題があった。光受信モジュール内においてフォトダイオードチップ 1 1 0 とバイパスコンデンサ 1 1 2 とを平面的に配置させているために広い面積を必要としている。またバイパスコンデンサ 1 1 2 は、フォトダイオードチップ 1 1 0 の少なくとも数倍の平面的な大きさを有し、必要に応じてそのようなバイパスコンデンサを複数接続することがある。このため、光受信モジュールを小型化することが困難であるとともに製造工程も簡略化することが難しかった。

【0 0 1 0】

さらに、このような大きな面積を有する上部電極 1 1 2 a とフォトダイオード 1 0 0 の n 側電極パッド 1 0 6 とに接続するためには、多数の配線 1 1 3 を必要とする。このため、多数の配線 1 1 3 によるインダクタンス成分（L 成分）が非常に大きくなってしまい、これが高速動作の妨げとなっていた。

【0 0 1 1】

さらに、フォトダイオードの p 側電極パッド 1 0 5 とチップ裏面（金属層）とが同電位である接地電位に接続されているため、n 側電極 1 0 6 とチップ裏面（金属層）との間にリークパスが形成されてしまい、その結果、チップ単体ではリーク電流が十分低いにもかかわらず、実装後にモジュールに流れるリーク電流が急増してしまうという課題があった。

【0 0 1 2】

そこで本発明は上記従来の技術を解決し、小型化が可能で、高速動作に優れた半導体受光装置を提供することを目的とする。

【0 0 1 3】

また、本発明の他の目的は、モジュールに実装してもリーク電流が抑制された半導体受光装置を提供する。

【0 0 1 4】

【課題を解決するための手段】

請求項 1 に記載の半導体受光装置は、第 1 主面と該第 1 主面と対向する第 2 主面とを備えた基板と、前記基板の第 1 主面側に形成され少なくとも 1 つの第 1 導電型の半導体層を含む第 1 の半導体層と、前記第 1 の半導体層上に形成され入射した光に応じてキャリアを生成する光吸収層と、前記光吸収層上に形成され少なくとも 1 つの第 2 導電型の半導体層を含む第 2 の半導体層と、前記第 1 の半導体層に電氣的に接続され第 1 の電位を印加する第 1 の電極部と、前記第 2 の半導体層に電氣的に接続され第 2 の電位を印加する第 2 の電極部と、前記基板の第 1 主面と前記第 1 の半導体層との間に介在する少なくとも一つの第 2 導電型の第 3 の半導体層とを有する。

【0015】

請求項 1 に記載の半導体受光装置では、基板の第 1 主面と第 1 の半導体層との間に少なくとも一つの第 2 導電型の第 3 の半導体層を設けたことにより、第 3 の半導体層は第 1 の半導体層と異なる導電型であるため、第 1 の電極部と基板間の電流通路の形成を妨げ、光吸収層において発生したキャリアが第 1 の半導体層から基板へ移動するのを抑制する。その結果、受光時における第 1 の半導体層と第 2 の半導体層との間を流れる電流が基板側へリークしたり、あるいは暗電流が流れることを効果的に抑制することができ、第 1 の電極部、第 2 の電極部から受光量に応じた電流を正確に検出することができる。

【0016】

請求項 1 の構成は、請求項 2 に記載のように、前記第 1 の半導体層と前記第 3 の半導体層との p n 接合によりコンデンサを形成したことに相当する。半導体受光装置の基板あるいはチップ上に直接コンデンサを設けることにより、従来必要であった半導体受光装置に外付けされるバイパスコンデンサあるいはチップコンデンサを削減することができ、半導体受光装置の小型化を図ることができる。さらに、外付けのバイパスコンデンサの数が減少することにより、外付けのコンデンサと半導体受光装置の電極とを電氣的に接続するワイヤボンディング等の配線数を削減することができ、これによって、配線によるインダクタンス成分を減少させることができ、その結果、半導体受光装置の応答速度を高速化することがで

きる。

【 0 0 1 7 】

請求項 3 に記載のように、コンデンサは、前記第 1 の半導体層と前記第 3 の半導体層間の p n 接合により形成された空乏領域を含む。

【 0 0 1 8 】

請求項 4 に記載のように、好ましくは、前記半導体受光装置は、さらに第 1 導電型の第 4 の半導体層を含み、前記第 3 の半導体層は前記第 1 の半導体層と前記第 4 の半導体層との間に介在するようにしてもよい。このような構成では、n p n あるいは p n p 型の多層バッファ構造（例えば、バイパスダイオード）が形成される。これによって、第 1 の半導体層に接続された第 1 の電極部と基板間の電流リーク通路を無くし、従来のようにモジュール実装時のリーク電流を低減することができる。さらに、そのような多層バッファ構造により p n 接合により形成される容量によってバイパスコンデンサとしても機能させることもできる。

【 0 0 1 9 】

請求項 5 に記載の半導体受光装置は、第 1 主面と該第 1 主面と対向する第 2 主面とを備えた基板と、前記基板の第 1 主面側に形成され少なくとも 1 つの第 1 導電型の半導体層を含む第 1 の半導体層と、前記第 1 の半導体層上に形成され入射した光に応じてキャリアを生成する光吸収層と、前記光吸収層上に形成され少なくとも 1 つの第 2 導電型の半導体層を含む第 2 の半導体層と、前記第 1 の半導体層に電氣的に接続され第 1 の電位を印加する第 1 の電極部と、前記第 2 の半導体層に電氣的に接続され第 2 の電位を印加する第 2 の電極部と、前記基板の第 1 主面と前記第 1 の半導体層との間に介在する誘電材料による容量素子とを有する。

【 0 0 2 0 】

請求項 5 に記載の半導体受光装置では、基板の第 1 主面と第 1 の半導体層との間に誘電材料による容量素子を設けるようにしたので、少なくともこれによって従来必要であった外付けのコンデンサの大きさあるいは数を削減することができ、半導体受光装置のパッケージあるいはモジュールを小型化することができる。同時に、外付けのコンデンサが削減されれば、それに伴う配線数を削減することができ、これによって配線によるインタクタンس成分も低減され、高周波特性に

優れた半導体受光装置を提供することができる。

【 0 0 2 1 】

請求項 6 に記載のように前記容量素子は、p 型半導体層と n 型半導体層との p n 接合により形成される容量を含むものであってもよい。あるいは、請求項 7 に記載のように前記容量素子は、第 1 導電型の 1 対の半導体層の間に介在する高抵抗半導体層あるいは半導体絶縁層を含むものであってもよい。

【 0 0 2 2 】

請求項 7 に記載のように、前記半導体基板の第 2 主面側に第 2 の電位と同電位が供給される。第 2 の電位は、例えば接地電位である。また、請求項 8 に記載のように、前記コンデンサまたは前記容量素子は、前記第 1 の半導体層と前記第 2 の半導体層の間を流れる電流をバイパスするバイパスコンデンサとして機能する。

【 0 0 2 3 】

請求項 9 に記載の半導体受光装置は、第 1 主面と該第 1 主面と対向する第 2 主面とを備えた基板と、前記基板の第 1 主面側に形成され少なくとも 1 つの第 1 導電型の半導体層を含む第 1 の半導体層と、前記第 1 の半導体層上に形成され入射した光に応じてキャリアを生成する光吸収層と、前記光吸収層上に形成され少なくとも 1 つの第 2 導電型の半導体層を含む第 2 の半導体層と、前記第 1 の半導体層に第 1 の電位を印加する第 1 の電極部と、前記第 2 の半導体層に第 2 の電位を印加する第 2 の電極部と、前記基板の第 2 主面側に形成され基準電位が供給される金属層と、前記金属層と前記基板の第 2 主面間に介在する誘電体層とを含むものである。

【 0 0 2 4 】

請求項 9 に記載の半導体受光装置では、基板の第 2 主面と金属層との間に誘電体層を介在させ、そこにコンデンサを形成することで、半導体受光装置の外付けのコンデンサの大きさまたは数の削減を図るものである。さらに、基板の第 2 主面、好ましくは基板の裏面にコンデンサを形成する構成であるため、誘電体層または絶縁層は必ずしも半導体物質に限らず、これ以外の他の好ましい誘電物質あるいは絶縁物質を用いることも可能である。

【 0 0 2 5 】

請求項 1 0 に記載のように、前記半導体受光装置は、前記基板を実装するモジュールを含み、前記金属層は前記モジュールに電氣的に接続されて基準電位を供給されるものであってもよい。

【 0 0 2 6 】

請求項 1 1 に記載のように、前記第 1 の半導体層は、前記第 1 の電極部に接続される高不純物濃度のコンタクト層を含むものであってもよい。また、請求項 1 2 に記載のように、前記第 2 の半導体層は、前記第 2 の電極部に接続される高不純物濃度のコンタクト層を含むものであってもよい。コンタクト層は、好ましくは第 1、第 2 の金属部とオーミック接続する程度の不純物濃度を有する。

【 0 0 2 7 】

請求項 1 3 に記載のように、前記第 1 の半導体層は低濃度のバッファ層を含むものであってもよい。また、請求項 1 4 に記載のように、前記第 2 の半導体層は、禁止帯幅が徐々に傾斜する複数の半導体層を積層したグレーデッド層を含むものであってもよい。

【 0 0 2 8 】

請求項 1 5 に記載のように、少なくとも前記光吸収層及び前記第 2 の半導体層がメサ構造を有し、前記メサ構造によって露出した前記光吸収層の側面から光が入射するものであってもよい。即ち、端面入射型の半導体受光装置であることが望ましいが、必ずしも端面入射型に限らず、基板の上面あるいは基板の下面から光が入射するタイプの半導体受光装置に適用することも可能である。

【 0 0 2 9 】

請求項 1 6 に記載のように、前記メサ構造の側部に前記光吸収層に光を入射させるための光導波路が配置されるようにしてもよい。また、光導波路は半導体層を含み、これらが同一基板上に形成されるようにしてもよい。

【 0 0 3 0 】

請求項 1 7 に記載のように、前記メサ構造の底部において前記第 1 の半導体層の表面が露出し、該露出した表面に前記第 1 の電極が形成され、前記メサ構造の第 2 の半導体層上に第 2 の電極が形成されるものであってもよい。

【0031】

請求項18に記載のように、前記半導体受光装置は、アバランシェダイオードを含むものであってもよい。さらには、半導体受光装置は、フォトトランジスタを含むものであってもよい。

【0032】

請求項19ないし21に記載のように、好ましくは前記第1の半導体層はn型のInP層を含み、前記第2の半導体層はp型のInP層を含み、第3の半導体層はp型のInP層（好ましくは不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下）を含み、記光吸収層は、好ましくはInGaAs層である。但し、これ以外のIII-V族半導体化合物を用いることも可能であることは言うまでもない。

【0033】

【発明の実施の形態】

次に本発明の実施の形態について図を参照して説明する。

図1は本発明の第1の実施の形態に係るPIN型フォトダイオードの断面を示す図である。本実施の形態によるPIN型フォトダイオード10は、半導体基板31上にnpn型バイパスダイオード20を集積したものである。同図において、InPからなる半導体基板31上には、 n^+ 型のInP層32、 p^- 型のInP層33（好ましくは不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下）、 n^+ 型のInP層からなるコンタクト層34、 n^- 型のInPからなる低濃度バッファ層35、ノンドープのInGaAs光吸収層36、 p^- 型のInGaAsP層からなるグレーデッド層37、38、 p^+ 型のInP層39、及び p^+ 型のInGaAsP層からなるコンタクト層40が積層される。npn型バイパスダイオード20は、n型のInP層32、p型のInP層33及びn型のInPのコンタクト層34から構成される。

【0034】

コンタクト層34には、Au/Geの2層金属からなるn側電極41がオーミック接続され、コンタクト層40には、Au/Znの2層金属からなるp側電極42がオーミック接続される。また、基板1の裏面には、Ti/Pt/Au層若しくはTiW/Au層からなるコンタクトメタル層43が形成される。

【 0 0 3 5 】

n 側電極 4 1 は正電位とし、p 側電極 4 2 は負電位とする。また、コンタクトメタル 4 3 は接地電位とする。これによって、受光部である光吸収層 3 6 を挟む p 側の各半導体層 3 7、3 8、3 9 及び 4 0 と n 側の各半導体層 3 4、3 5 には逆バイアス電圧が印加される。npn 型バイパスダイオード 2 0 にも逆バイアスが印加され、コンタクト層 3 4 と半導体層 3 3 との pn 接合面に空乏層あるいは空乏領域が形成される。この空乏領域はコンデンサとして機能する。npn 接合の容量は、比誘電率 ϵ で空乏層の厚さ d の絶縁物が挿入された平行平板電極による容量に等しい。空乏化された $p^{-}InP$ 層 3 3 の厚さは、 $0.5\mu m$ 、チップ面積は $500 \times 600\mu m^2$ として、バイパスダイオード 2 0 の容量は $10pF$ である。この程度の容量が集積されれば、フォトダイオードのバイパスコンデンサとして十分に機能しえる大きさであり、必ずしも外付けのバイパスコンデンサを用いる必要はない。但し、バイパスダイオード 2 0 と外付けのバイパスコンデンサの併用を妨げるものではない。

【 0 0 3 6 】

半導体基板 3 1 上にはメサ構造 4 6 の受光部が形成される。メサ構造 4 6 は、コンタクト 4 0 からバッファ層 3 5 に至るまでの半導体層をエッチングすることによって得られ、同時にこのエッチングによりコンタクト層 3 4 の表面の一部が露出し、コンタクト層 3 4 上に n 側電極 4 1 が形成されている。npn 型のバイパスダイオード 2 0 は、メサ構造 4 6 に形成されるのではなく、メサ構造 4 6 と基板 1 との間に形成されるため、上述したようにバイパスダイオード 2 0 の pn 接合面の面積を比較的大きくすることができ、これによってコンデンサのキャパシタンスも大きくすることができる。

【 0 0 3 7 】

メサ構造 4 6 の形成により光吸収層 3 6 の側面 3 6 a が露出し、ここでは図示しないが、光導波路が半導体基板 3 1 上のメサ構造 4 6 の側部に配される。光導波路は、光吸収層 3 6 の側面 3 6 a に接続され、光導波路によってガイドされた光が側面 3 6 a から光吸収層 3 6 に入射される。

【 0 0 3 8 】

図6は、図1に示すPIN型フォトダイオードを含むモジュール内の等価回路を示す図である。上述したように、PIN型フォトダイオード10は、半導体基板31上にバイパスダイオード20を集積し、これが1つのチップあるいは素子10aを構成する。フォトダイオード10およびnpn型のバイパスダイオード20のカソードは、負荷ZLを介して接地電位45に接続される。好ましくは、チップ10aを実装するモジュールあるいはケース本体が接地され、これにカソードを接続する。フォトダイオード10およびバイパスダイオード20のアノードは負荷Rbを介して直流電源44の正電位に接続され、バイパスダイオード20はフォトダイオード10と並列に接続される。

【0039】

次にPIN型フォトダイオードの動作について説明する。動作時には、フォトダイオード10のn側電極41とp側電極42間には逆バイアスが印加される。光導波路からの光が光吸収層36の側面36aから入射されると、光吸収層36内に電子及び正孔のキャリアが発生し、これらのキャリアが光吸収層36の厚さ方向に移動する。電子はバッファ層35およびコンタクト層34を介してn側電極41に到達し、正孔はp側の半導体層37、38、39、40を介してp側電極42に到達し、入射光に応じた電流がn側電極41及びp側電極42から検知される。

【0040】

このとき、npn型のバイパスダイオード20を構成するコンタクト層34とp型InP層33には逆バイアスが印加されてこの接合面にコンデンサとして機能する空乏領域が形成されている。npnバイパスダイオード20はフォトダイオード10と並列に接続されているため、このコンデンサはバイパスコンデンサとして機能する。さらに、n側電極41とコンタクトメタル層43との間に逆バイアスされたpn接合があるため、n側電極41とコンタクトメタル層43間のリークパスが阻止され、光吸収層36によって生成された電流が半導体基板31を介してコンタクトメタル層43へ流れる、いわゆる暗電流を効果的に抑制することができる。

【0041】

このように、モノリシック基板上にバイパスダイオード 2 0 を積層させたことにより、少なからず P I N 型フォトダイオード 1 0 に外付けされるバイパスコンデンサの大きさあるいは数を減少させることができる。これによってフォトダイオードを実装するモジュール本体あるいはケース本体を小型化することができる。勿論、外付けのバイパスコンデンサを用いることなくバイパスダイオード 2 0 によって全ての機能を代用するものであってもよい。さらに、外付けのバイパスコンデンサの大きさまたは数が減少されれば、これに要する配線数も減少させることができ、配線によるインダクタンス成分を減らすことで、周波数応答特性を改善することができる。好ましくは、3 5 ~ 4 0 G H z 以上で高速動作可能であることが望ましい。

【 0 0 4 2 】

次に本発明の第 2 の実施の形態に係る P I N 型フォトダイオード 1 1 を図 2 に示す。図 2 は、図 1 と同様にフォトダイオードの断面を示す図である。第 2 の実施の形態のフォトダイオード 1 1 は、第 1 の実施の形態における n 型の I n P 層 3 2 を除去し、基板 3 1 上に p 型の I n P 層 3 3 を形成するものであり、それ以外の構成は第 1 の実施の形態のものと同じである。

【 0 0 4 3 】

半導体基板 3 1 上には、p 型の I n P 層 3 3 と n 型のコンタクト層 3 4 とが形成される。n 側電極 4 1 に正電位を供給し、コンタクトメタル層 4 3 を接地電位とすることで、I n P 層 3 3 とコンタクト層 3 4 との p n 接合には逆バイアス電圧が印加され、p n 接合面の空乏領域によりコンデンサ 2 1 を得るものである。コンデンサ 2 1 の基本的動作は、第 1 の実施の形態のバイパスダイオード 2 0 のときと同様である。

【 0 0 4 4 】

図 3 に本発明の第 3 の実施の形態に係る P I N 型フォトダイオード 1 2 の断面図を示す。本実施の形態では、上述したような p n 接合を利用したコンデンサ 2 1 を集積するのではなく、1 対の導電層の間に誘電物質を介在させた容量素子 2 2 を得るものである。半導体基板 3 1 上に n 型の I n P 層 3 2 を形成し、その上に例えば半導体絶縁膜あるいは半導体高抵抗層等の誘電体層 6 1 を形成し、さら

に誘電体層 6 1 上に n 型のコンタクト 3 4 を積層し、コンデンサ 2 2 を形成する。このようなコンデンサ 2 2 は、フォトダイオード 1 2 のバイパスコンデンサとして機能するとともに、受光時における暗電流が半導体基板 3 1 側に流れるのを抑制する。

【 0 0 4 5 】

図 4 に本発明の第 4 の実施の形態に係る P I N 型フォトダイオード 1 3 の断面図を示す。本実施の形態では、半導体基板 3 1 上にコンデンサを形成するのではなく、基板の下面側にコンデンサを形成するものである。半導体基板 3 1 の下面に誘電物質 7 1 を形成し、誘電物質 7 1 の下面にコンタクトメタル層 4 3 を形成し、コンデンサ 2 3 を得るものである。半導体基板 3 1 の下面に形成される誘電物質は必ずしも半導体層や半導体高抵抗層に限らず、他の SiO_2 、 SiNx 、セラミックなどの絶縁薄膜であってもよい。

【 0 0 4 6 】

次に本発明の第 5 の実施の形態について説明する。図 5 は第 5 の実施の形態に係るアバランシェフォトダイオードの構成を示す断面図である。アバランシェフォトダイオードは、光の入射によって発生する電子・正孔のキャリアをなだれ増倍させ、光の入射に対する応答性を高速にするものである。図 5 に示すように、グレーデッド層 3 8 上になだれ増倍のための n + 型の I n P 5 1 および i 型または n 型の I n P 倍増層 5 2 を形成する。n p n 型のバイパスダイオード 2 0 は、第 1 の実施の態様するときと同一構成である。勿論、バイパスダイオード 2 0 を、第 2 ないし第 4 の実施の態様で用いた容量素子あるいはコンデンサに置き換えることも可能である。

【 0 0 4 7 】

以上本発明の好ましい実施の形態について詳述したが、本発明は係る特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【 0 0 4 8 】

例えば、上記実施の態様では光吸収層 3 6 をノンドープの I n G a A s 層を用いたが、これに限らず p 型あるいは n 型であってもよい。さらに半導体受光装置

は、メサ構造の側部あるいは端面から光が入射される端面型を例示してが、これに限らず、メサ構造の頂部または基板の裏面側から光を入射させる受光装置にも適用することが可能である。さらに、光吸収層 3 6 の上下に積層される p 型および n 型の半導体層数およびその組成は、上記実施の態様に限定されることなく、本発明の主旨に反しない範囲で適宜変更可能である。

【 0 0 4 9 】

【発明の効果】

本発明によれば、半導体受光装置の基板上に p n 接合によるコンデンサが形成されるように半導体層を集積することとしたため、従来のような半導体受光装置に外付けされるバイパスコンデンサを小型化又は削減（数の削減、完全な除去を含む）することができる。これによって、半導体受光装置の小型化を図ることが可能となる。同時に、外付けのバイパスコンデンサの小型化もしくは削減により、そのような外付けのバイパスコンデンサに接続される配線数を削減でき、配線による L 成分の減少で高速応答性を改善することも可能となる。さらに、基板上にそのようなバイパスコンデンサを集積することで、基板の裏面（第 2 主面側）の電流リークを効率よく阻止することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態に係る P I N 型フォトダイオードの断面図である。

【図 2】 本発明の第 2 の実施の形態に係る P I N 型フォトダイオードの断面図である。

【図 3】 本発明の第 3 の実施の形態に係る P I N 型フォトダイオードの断面図である。

【図 4】 本発明の第 4 の実施の形態に係る P I N 型フォトダイオードの断面図である。

【図 5】 本発明の第 5 の実施の形態に係るアバランシェ型フォトダイオードの断面図である。

【図 6】 図 1 に示す P I N 型フォトダイオードを含むモジュール内の等価回路である。

【図 7】 従来の半導体受光装置の一構成例を示す斜視図である。

【図 8】 従来の光受信モジュールにおける半導体受光装置の実装状態を示す模式的な平面図である。

【符号の説明】

1 0、1 1、1 2、1 3：PIN型フォトダイオード

1 4：アバランシェフォトダイオード

2 0：npn型バイパスダイオード

2 1、2 2、2 3：コンデンサ

3 1：半導体基板

3 2： n^+ InP層

3 3： p^- InP層

3 4： n^+ コンタクト層

3 5：低濃度バッファ層

3 6：光吸収層

3 9： p^+ InP層

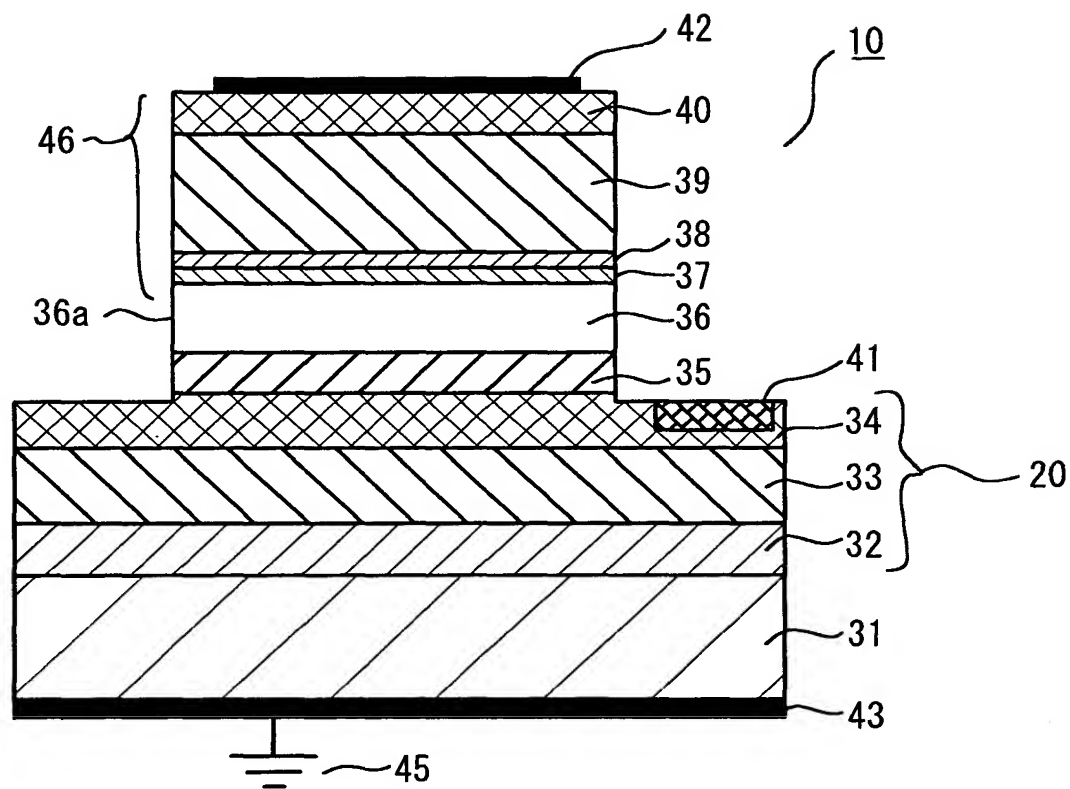
4 0： p^+ コンタクト層

4 1：n側電極

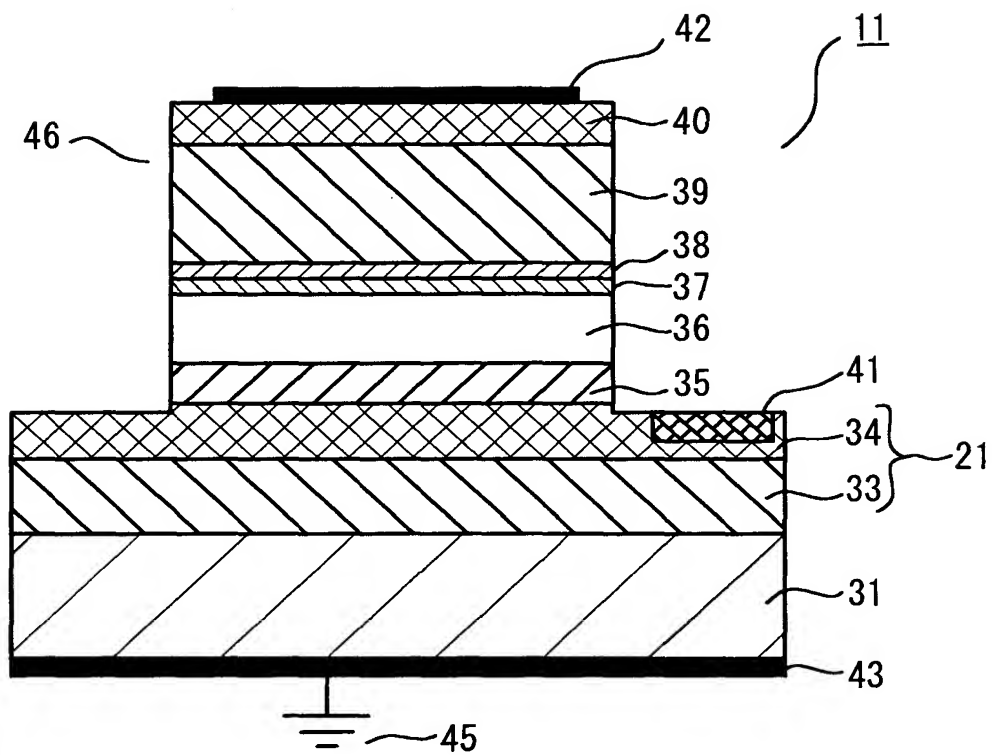
4 2：p側電極

【書類名】 図面

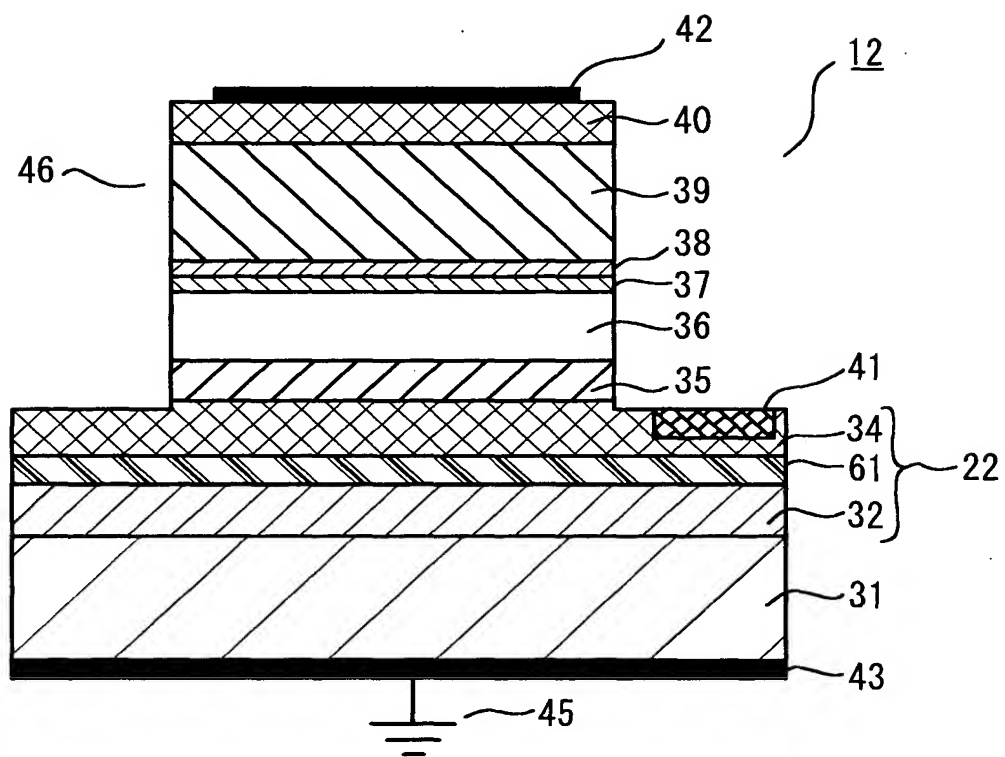
【図 1】



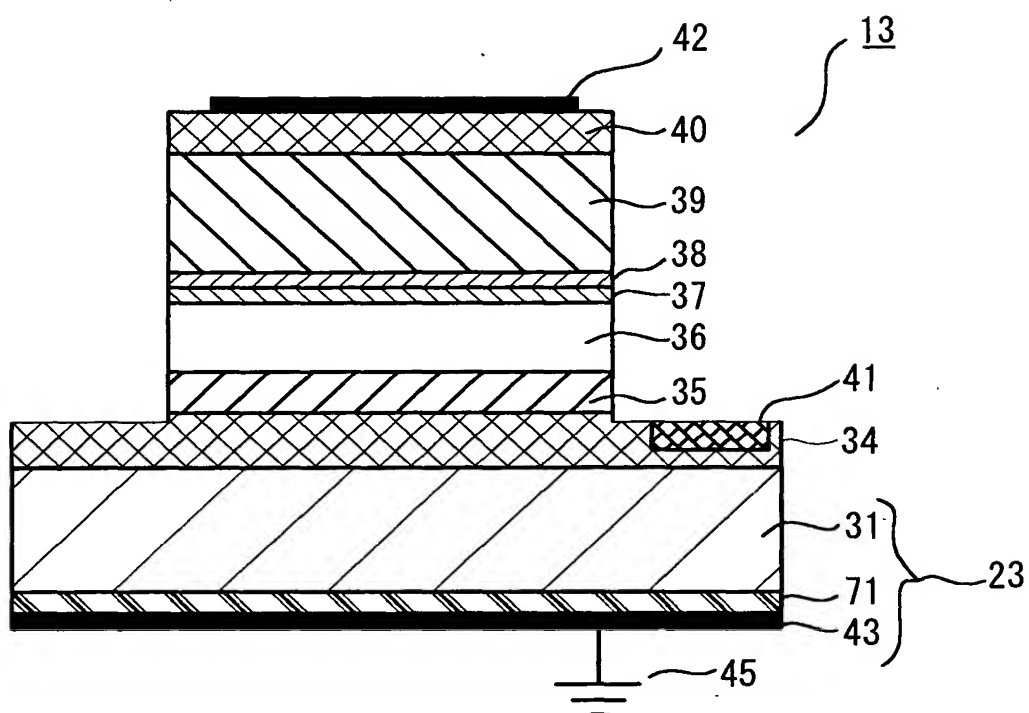
【図 2】



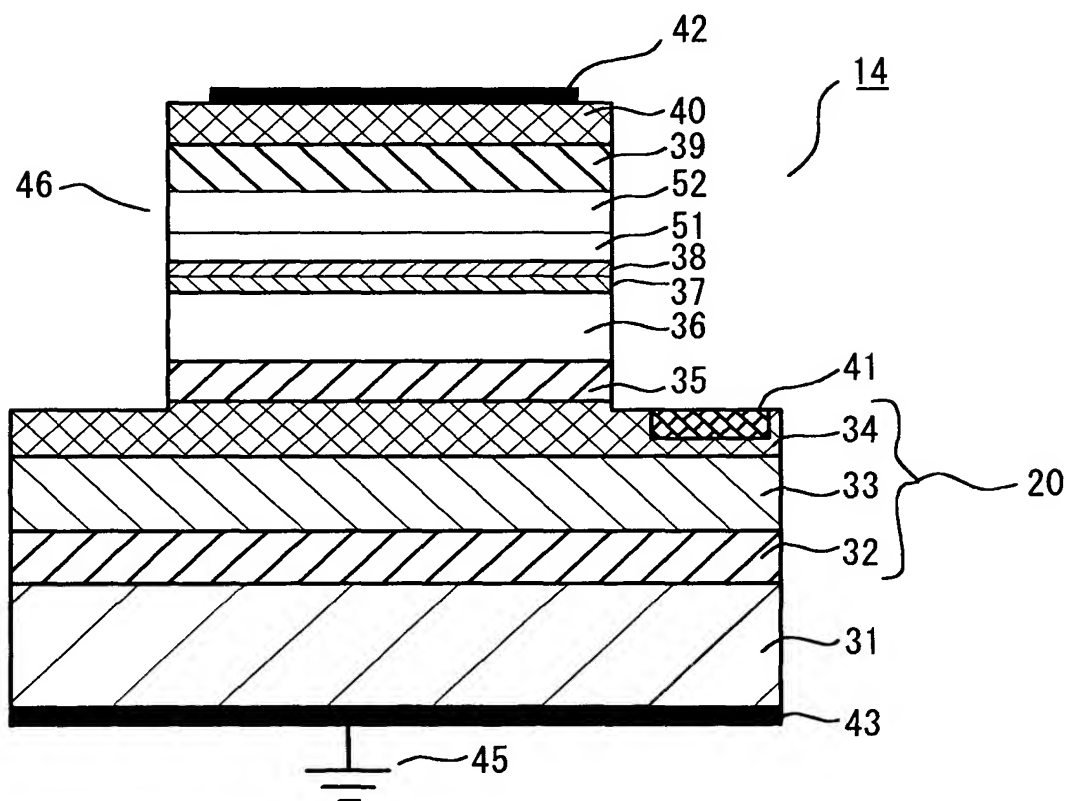
【図 3】



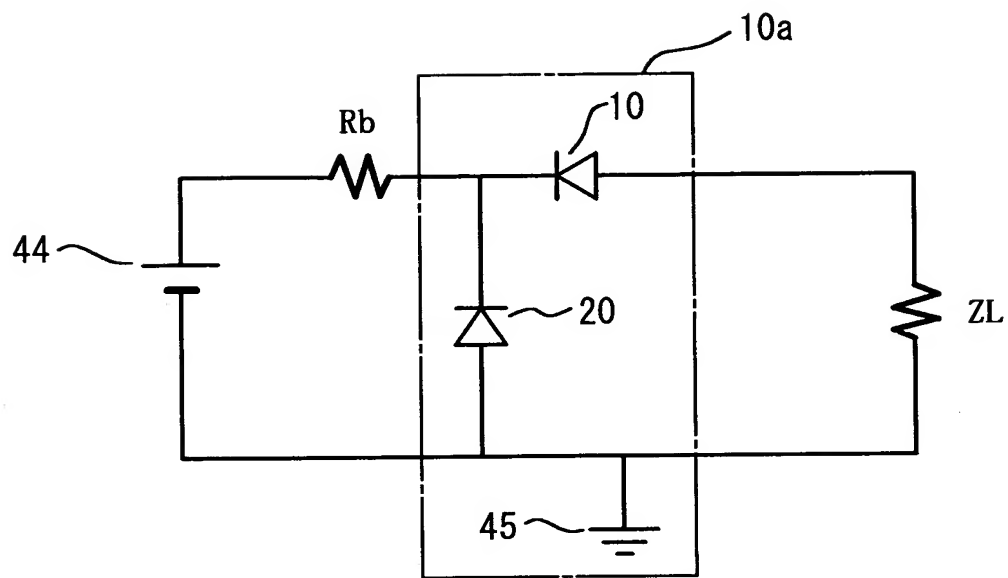
【図 4】



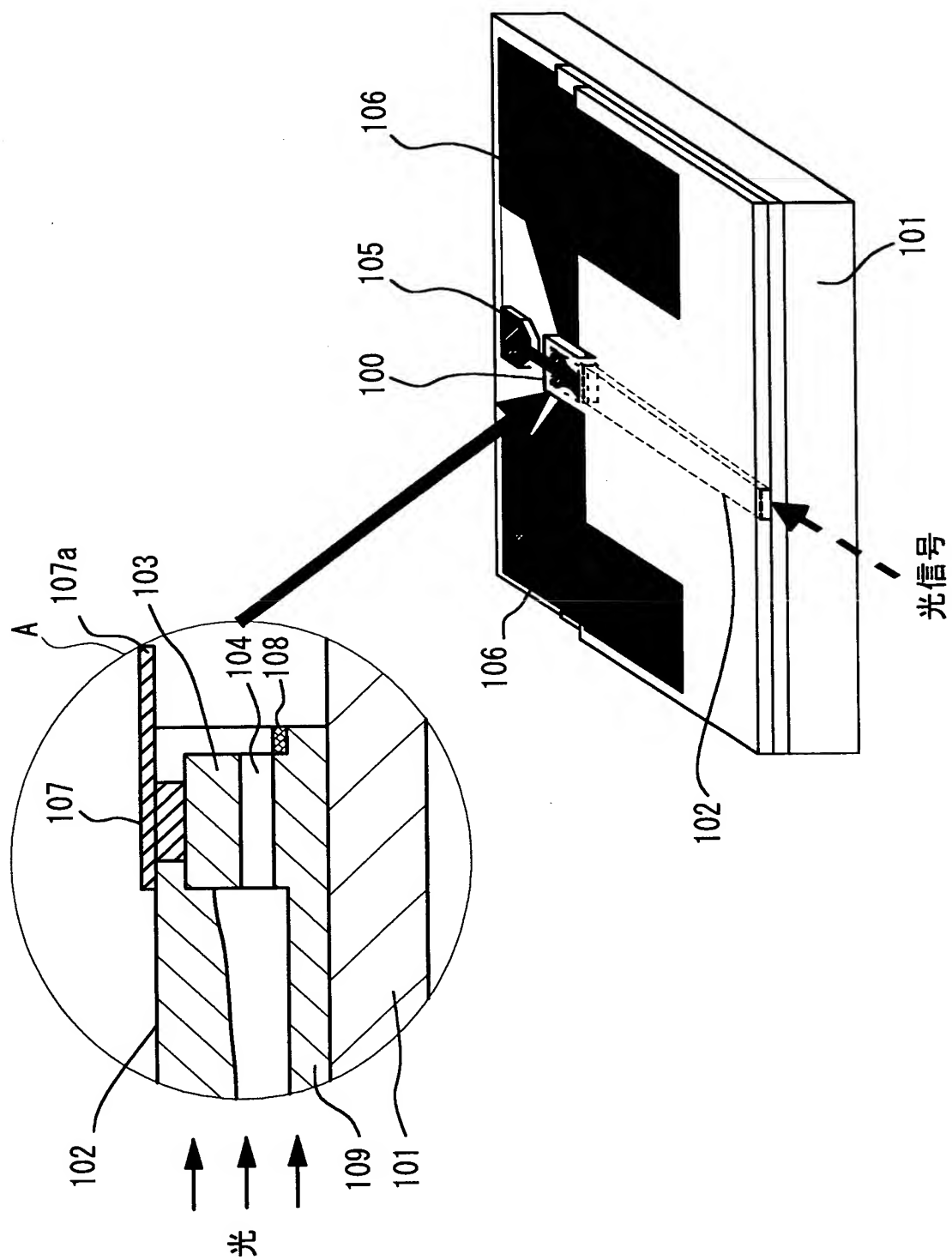
【図 5】



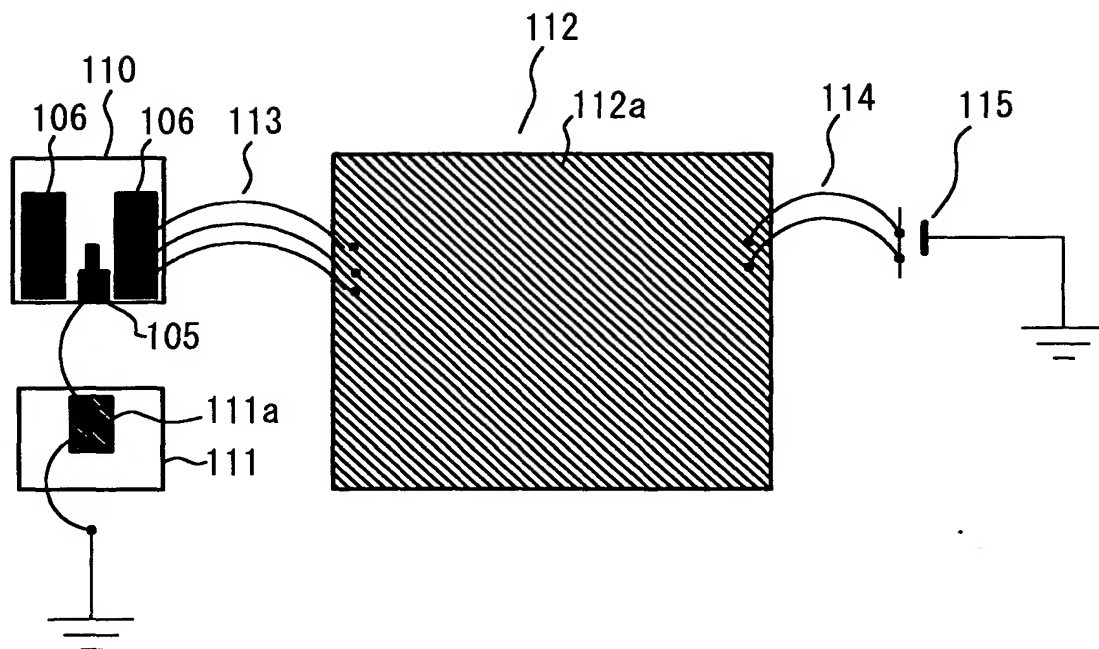
【図 6】



【図7】



【図 8】



【書類名】 要約書

【課題】 小型化が可能で、高速動作に優れた半導体受光装置を提供する。

【解決手段】 P I N型フォトダイオード10は、半導体基板31と、半導体基板31上に形成された第1導電型の第1の半導体層(34、35)と、前記第1の半導体層上に形成され入射した光に応じてキャリアを生成する光吸収層36と、前記光吸収層36上に形成された第2導電型の第2の半導体層(37、38、39、40)と、前記第1の半導体層に第1の電位を印加する第1の電極部(41)と、前記第2の半導体層に第2の電位を印加する第2の電極部(42)と、前記基板の第1主面と前記第1の半導体層との間に介在する少なくとも一つの第2導電型の第3の半導体層(33)とを有する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000154325]

1. 変更年月日	1992年 4月 6日
[変更理由]	名称変更
住 所	山梨県中巨摩郡昭和町大字紙漣阿原1000番地
氏 名	富士通カンタムデバイス株式会社